

WEST

Generate Collection

L3: Entry 22 of 25

File: JPAB

Jun 6, 1995

PUB-NO: JP407147336A

DOCUMENT-IDENTIFIER: JP 07147336 A

TITLE: MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: June 6, 1995

INVENTOR-INFORMATION:

NAME

COUNTRY

OTANI, YUKIHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP05293332

APPL-DATE: November 24, 1993

INT-CL (IPC): H01L 21/8247; H01L 29/788; H01L 29/792

ABSTRACT:

PURPOSE: To suppress a malfunction at a time when information is written into a split gate-type flash memory.

CONSTITUTION: A floating gate 15 is formed on a semiconductor substrate 11 via a first gate insulating film 14. A thermal oxide film is formed on the whole face. A first polysilicon layer is formed on the whole face. After that, the whole face is etched. A residue of polysilicon is formed selectively in a cut part of the thermal oxide film. A thermal oxidation treatment is executed. The residue of polysilicon is oxidized. A second gate insulating film 18 is formed together with the thermal oxide film. A second polysilicon layer is formed on the whole face. It is patterned. A control gate 20 is formed. Then, impurities are implanted by making use of the floating gate 15 and the control gate 20 as a mask. A drain-region layer 12 and a source-region layer 13 are formed.

COPYRIGHT: (C)1995, JPO

AB: PURPOSE: To suppress a malfunction at a time when information is written into a split gate-type flash memory. CONSTITUTION: A floating gate 15 is formed on a semiconductor substrate 11 via a first gate insulating film 14. A thermal oxide film is formed on the whole face. A first polysilicon layer is formed on the whole face. After that, the whole face is etched. A residue of polysilicon is formed selectively in a cut part of the thermal oxide film. A thermal oxidation treatment is executed. The residue of polysilicon is oxidized. A second gate insulating film 18 is formed together with the thermal oxide film. A second polysilicon layer is formed on the whole face. It is patterned. A control gate 20 is formed. Then, impurities are implanted by making use of the floating gate 15 and the control gate 20 as a mask. A drain-region layer 12 and a source-region layer 13 are formed.

COPYRIGHT: (C)1995, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-147336

(43)公開日 平成7年(1995)6月6日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21)出願番号 特願平5-293332

(22)出願日 平成5年(1993)11月24日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 大谷 幸弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

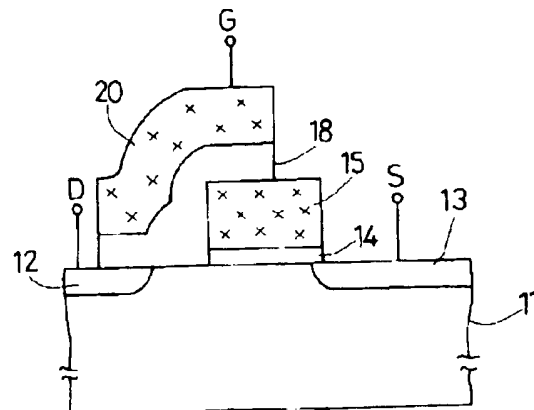
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

(57)【要約】 (修正有)

【目的】スプリットゲート型のフラッシュメモリの情報書き込み時の誤動作を抑止する。

【構成】半導体基板11上に第一のゲート絶縁膜14を介してフローティングゲート15を形成し、全面に熱酸化膜を形成し、全面に第一のポリシリコン層を形成したのちに全面エッチングして、熱酸化膜の切れ込み部分にポリシリコンの残渣17Aを選択形成し、熱酸化処理をして、ポリシリコンの残渣を酸化して熱酸化膜とともに第二のゲート絶縁膜18とし、全面に第二のポリシリコン層19を形成し、パターニングしてコントロールゲート20を形成したのちに、フローティングゲート15及びコントロールゲート20をマスクにして不純物を注入してドレイン領域層12とソース領域層13とを形成すること。



12 : ドレイン領域層
13 : ソース領域層
20 : コントロールゲート

【特許請求の範囲】

【請求項1】 半導体基板(11)上に第一のゲート絶縁膜(14)を介してフローティングゲート(15)を形成し、全面に熱酸化膜(16)を形成する工程と、全面に第一のポリシリコン層(17)を形成したのちに全面エッチングして、前記熱酸化膜(16)の切れ込み部分(16A)にポリシリコンの残渣(17A)を選択形成する工程と、

熱酸化処理をして、前記ポリシリコンの残渣(17A)を酸化して前記熱酸化膜(16)とともに第二のゲート絶縁膜(18)とする工程と、

全面に第二のポリシリコン層(19)を形成し、パターニングしてコントロールゲート(20)を形成したのちに、前記フローティングゲート(15)及びコントロールゲート(20)をマスクにして不純物を注入してドレイン領域層(12)とソース領域層(13)とを形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は不揮発性半導体記憶装置の製造方法に関し、更に詳しく言えば、スプリットゲート型のフラッシュメモリの情報書き込み時の誤動作を抑止する方法に関する。

【0002】

【従来の技術】以下で、従来例に係る不揮発性半導体記憶装置の製造方法について図面を参照しながら説明する。不揮発性半導体記憶装置のメモリセルの一例として、図9に示すように、半導体基板(1)の上に第一のゲート絶縁膜(4)を介してフローティングゲート(5)が形成され、その上部から側部にかけて第二のゲート絶縁膜(6)を介してコントロールゲート(8)が形成され、さらに、フローティングゲート(5)とコントロールゲート(8)の両側にある半導体基板(1)にドレイン領域(2)とソース領域(3)とが形成された装置(以下でスプリット型フラッシュメモリと称する)が提案されている。

【0003】以下で上記のスプリット型フラッシュメモリの製造方法について説明する。まず、図7に示すように、半導体基板(1)上に第一のゲート絶縁膜(4)を介してポリシリコンからなるフローティングゲート(5)を形成し、熱酸化膜からなる第二のゲート絶縁膜(6)を形成する。次に、図8に示すように、全面にポリシリコン層(7)を形成する。

【0004】次いで、図9に示すように、ポリシリコン層(7)及び第二のゲート絶縁膜(6)をパターニングして、フローティングゲート(5)の側部から上部にかけてコントロールゲート(8)を形成したのちに、フローティングゲート(5)及びコントロールゲート(8)をマスクにして不純物を拡散してドレイン領域層

(2)、ソース領域層(3)を形成することにより、スプリット型フラッシュメモリが形成される。

【0005】なお、上記のスプリット型フラッシュメモリにおいては、書き込み対象のメモリセル(以下選択セルと称する)のトランジスタをONさせて、電子をフローティングゲート(5)に注入することによりプログラムの書き込みをしていた。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の不揮発性半導体記憶装置によると、下地の熱酸化膜からなる第二のゲート絶縁膜(6)の形状に依存するコントロールゲート(8)の角部の形状が尖鋭になり、かつコントロールゲート(8)とフローティングゲート(5)との間の間隔が狭くなるので、この間で電子の移動がなされやすくなる。

【0007】このため、図10に示すように、書き込み時にコントロールゲート(8)の電圧(VG)が0V、ソース電圧(Vs)が12Vであって、このソース電圧(Vs)によって誘起されるフローティングゲート(5)の電位が約10Vとなる非選択セルにおいて、コントロールゲート(8)とフローティングゲート(5)との間の電位差が約10Vと大きいので、図10に示すように、尖鋭なコントロールゲート(8)の角部から電子(e⁻)が排出され、フローティングゲート(5)へと誤って注入されてしまうという現象が生じる(以下でこの現象をリバーストンネリング現象と称する)。

【0008】これにより、書き込み禁止の非選択セルに於いて、誤ってプログラムの書き込みがなされてしまうという問題が生じていた。

【0009】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に示すように半導体基板(11)上に第一のゲート絶縁膜(14)を介してフローティングゲート(15)を形成し、全面に熱酸化膜(16)を形成する工程と、図2に示すように、全面に第一のポリシリコン層(17)を形成したのちに全面エッチングして、図3に示すように前記熱酸化膜(16)の切れ込み部分(16A)にポリシリコンの残渣(17A)を選択形成する工程と、図4に示すように、熱酸化処理をして、前記ポリシリコンの残渣(17A)を酸化して前記熱酸化膜(16)とともに第二のゲート絶縁膜(18)とする工程と、図5に示すように、全面に第二のポリシリコン層(19)を形成し、図6に示すようにパターニングしてコントロールゲート(20)を形成したのちに、前記フローティングゲート(15)及びコントロールゲート(20)をマスクにして不純物を注入してドレイン領域層(12)とソース領域層(13)とを形成する工程とを有することにより、リバーストンネリング現象を極力抑止し、非選択セルに於ける誤ったプログラム書き込みを抑止することを可能にする不揮発性半

導体記憶装置の製造方法を提供するものである。

【0010】

【作 用】本発明に係る不揮発性半導体記憶装置の製造方法によれば、全面に熱酸化膜(16)を形成したのちに、図2に示すように全面に第一のポリシリコン層(17)を形成して、全面エッチングして、図3に示すように熱酸化膜(16)の切れ込み部分(16A)にポリシリコンの残渣(17A)を選択形成し、図4に示すように熱酸化処理をして、ポリシリコンの残渣(17A)を酸化して熱酸化膜(16)とともに第二のゲート絶縁膜(18)としているので、従来生じていた熱酸化膜の切れ込み部分(16A)が、ポリシリコンの残渣が酸化されて形成される酸化膜によって埋められる。

【0011】このため、下地の第二のゲート絶縁膜(18)の形状に依存するコントロールゲートの角部(20A)の形状が尖鋭にならず、かつコントロールゲート(20)とフローティングゲート(15)との間隔が従来に比して広がる。これにより、コントロールゲート(20)とフローティングゲート(15)との間の電位差が大きくなっても、その間で電子の移動が起こりなくなり、従来生じていた非選択セルでの尖鋭なコントロールゲートの角部からフローティングゲートへの電子注入を極力抑止することができるので、非選択セルに誤ってプログラムが書き込まれることを極力抑止することが可能になる。

【0012】

【実施例】以下に本発明の実施例に係る不揮発性半導体記憶装置の製造方法を図面を参照しながら説明する。本発明の実施例に係る不揮発性半導体記憶装置の製造方法は、図6に示すように、半導体基板(11)の上に第一のゲート絶縁膜(14)を介してフローティングゲート(15)が形成され、その上部から側部にかけて第二のゲート絶縁膜(18)を介してコントロールゲート(20)が形成され、さらに、フローティングゲート(15)とコントロールゲート(20)の両側にある半導体基板(11)にドレイン領域(12)とソース領域(13)とが形成されてなるスプリット型フラッシュメモリを製造する方法である。

【0013】まず、図1に示すように、半導体基板(11)上に酸化膜を形成し、ポリシリコン層を形成したのちにバターンニングして第一のゲート絶縁膜(14)を介してポリシリコンからなるフローティングゲート(15)を形成し、全面を熱酸化して膜厚300Åの熱酸化膜(16)を形成する。次に、図2に示すように、全面に膜厚数百Åの第一のポリシリコン層(17)を形成する。

【0014】次いで、図3に示すように、第一のポリシリコン層(17)を Cl_2 、 F_2 または HBr などのガスを開いたRIE等の条件で異方性エッチングしてエッチバックすることにより、成膜過程でフ

ローティングゲート(15)の近傍に形成される熱酸化膜の切れ込み部(16A)に丁度残存されるように、ポリシリコンの残渣(17A)を形成する。この時、異方性エッチング後に $\text{CF}_4 + \text{O}_2$ などのガスによる等方性エッチングを行うことにより残存されるポリシリコンの残渣量をコントロールすることも可能である。

【0015】次に、図4に示すように、全面を900°C~1000°Cの温度でドライ O_2 またはスチーム雰囲気にてSiを100~300Å熱酸化して、熱酸化膜の切れ込み部(16A)に残存するポリシリコンの残渣(17A)を完全に酸化して酸化膜とし、熱酸化膜(16)と一体化させてシリコン酸化膜からなる第二のゲート絶縁膜(18)を形成する。このとき図4に示すように、熱酸化膜の切れ込み部(16A)が完全に埋められる。

【0016】次いで、図5に示すように、全面に膜厚数千Åの第二のポリシリコン層(19)を形成し、第二のポリシリコン層(19)及び第二のゲート絶縁膜(18)をバターンニングして、第二のポリシリコン層(19)からなるコントロールゲート(20)を選択形成したのちに、フローティングゲート(15)とコントロールゲート(20)をマスクにして不純物を注入してドレイン領域層(12)及びソース領域層(13)を形成することにより、図6に示すようなスプリット型フラッシュメモリが形成される。

【0017】以上説明したように、本発明の実施例に係る不揮発性半導体記憶装置の製造方法によれば、全面に熱酸化膜(16)を形成したのちに、図2に示すように全面に第一のポリシリコン層(17)を形成したのちに全面エッチングして、図3に示すように熱酸化膜(16)の切れ込み部分にポリシリコンの残渣(17A)を選択形成し、図4に示すように熱酸化処理をして、ポリシリコンの残渣(17A)を酸化して熱酸化膜(16)と一体化させるとともに第二のゲート絶縁膜(18)としているので、従来生じていた熱酸化膜の切れ込み部が、ポリシリコンの残渣が酸化された酸化膜によって埋められる。

【0018】このため、下地の第二のゲート絶縁膜(18)の形状に依存するコントロールゲートの角部(20A)の形状が尖鋭にならず、かつコントロールゲート(20)とフローティングゲート(15)との間隔が従来に比して広がる。これにより、コントロールゲート(20)とフローティングゲート(15)との間の電位差が大きくなっても、その間で電子の移動が起こりなくなり、従来生じていた非選択セルでのコントロールゲートの角部からフローティングゲートへの電子注入を極力抑止することができるので、非選択セルに誤ってプログラムが書き込まれることを抑止することが可能になる。

【0019】なお、本実施例によれば、熱酸化膜を第二

【0020】

20

【図面の簡単な説明】

【図２】本発明の実施例に係る不揮発性半導体記憶装置の製造方法を説明する第２の断面図である。

【図３】本発明の実施例に係る不揮発性半導体記憶装置の製造方法を説明する第３の断面図である。

【図4】本発明の実施例に係る不揮発性半導体記憶装置の製造方法を説明する第4の断面図である。

【図5】本発明の実施例に係る不揮発性半導体記憶装置の製造方法を説明する第5の断面図である。

【図6】本発明の実施例に係る不揮発性半導体記憶装置の製造方法を説明する第6の断面図である。

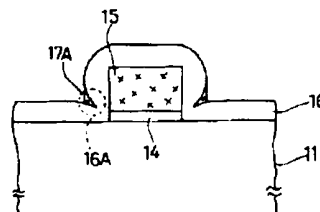
【図7】従来例に係る不揮発性半導体記憶装置の製造方法を説明する第1の断面図である。

【図8】従来例に係る不揮発性半導体記憶装置の製造方法を説明する第2の断面図である。

【図9】従来例に係る不揮発性半導体記憶装置の製造方法を説明する第3の断面図である。

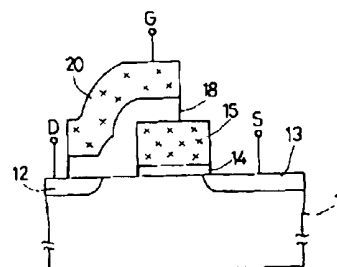
【図10】従来例に係る不揮発性半導体記憶装置の問題点を説明する図である。

【図3】



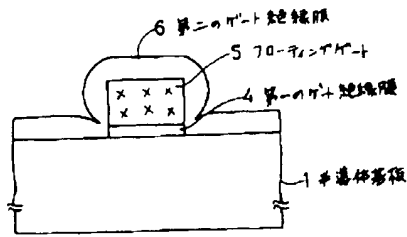
17A: ポリシリコンの溶解

【図6】

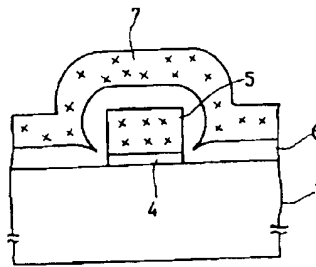


12 : フライング領域層
13 : ソース 領域層
20 : コントロール層

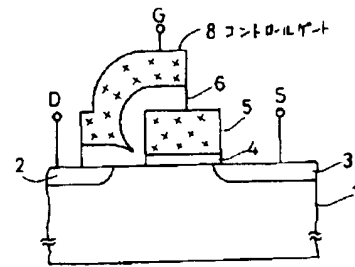
【図7】



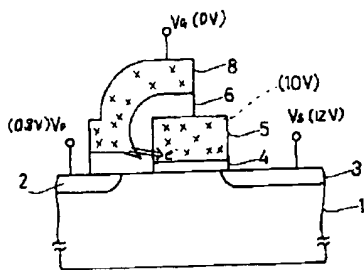
【図8】



【図9】



【図10】



e : 電子